

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

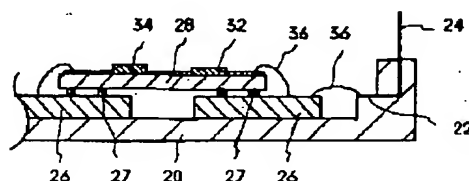
(11) Publication number: **09293824 A**(43) Date of publication of application: **11.11.97**(51) Int. Cl. **H01L 23/52**(21) Application number: **08106938**(22) Date of filing: **26.04.96**(71) Applicant: **SHINKO ELECTRIC IND CO LTD**(72) Inventor: **TAKEUCHI YUKIHARU
HORIUCHI MICHIO**(54) **MULTI CHIP MODULE**

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To connect semiconductor chips by bumps only by connecting plural semiconductor chips on a semiconductor mounting surface, by laminating in plural stages and by connecting and bridging two semiconductor chips at least on the lower stage by a semiconductor chip on the upper stage of a multi chip module with a multi-level structure.

SOLUTION: Semiconductor chip mounting surface of a package 20 is formed as a flat surface and mounts semiconductor chips 26 and 28 in two stages. The semiconductor chips 28 on the upper stage are separately arranged on the semiconductor mounting surface of the package 20 and are bridged between the semiconductor chips 26. Electrodes of the semiconductor chips 26 are connected with electrodes of the semiconductor chips 28 via bumps 27 by flip chip method. Therefore, electrical connection can be made by the bumps 27 only without providing wire connection by arranging and bridging the semiconductor chips 28 between plural semiconductor chips 26.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-293824

(43) 公開日 平成9年(1997)11月11日

(51) Int.Cl.⁶

H 0 1 L 23/52

識別記号

庁内整理番号

F I

H 0 1 L 23/52

技術表示箇所

C

審査請求 未請求 請求項の数5 O L (全 5 頁)

(21) 出願番号

特願平8-106938

(22) 出願日

平成8年(1996)4月26日

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舍利田711番地

(72) 発明者 竹内 之治

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

(72) 発明者 堀内 道夫

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

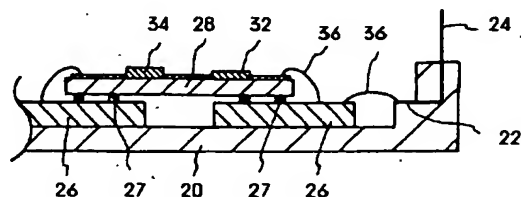
(74) 代理人 弁理士 綿貫 隆夫 (外1名)

(54) 【発明の名称】 マルチチップモジュール

(57) 【要約】

【課題】 半導体チップ間の信号伝播の遅延を防止し、信号の伝送損失を抑えて優れた特性を有するマルチチップモジュールを得る。

【解決手段】 パッケージ20の半導体チップ搭載面上に、複数個の半導体チップ26、28を相互に電気的に接続して複数段に積み重ねて立体構成したマルチチップモジュールであって、上段の半導体チップ28を下段の少なくとも2つの半導体チップ26の間に掛け渡して接合したことを特徴とする。



【特許請求の範囲】

【請求項1】 パッケージの半導体チップ搭載面上に、複数個の半導体チップを相互に電気的に接続して複数段に積み重ねて立体構成したマルチチップモジュールであって、

上段の半導体チップを下段の少なくとも2つの半導体チップの間に掛け渡して接合したことを特徴とするマルチチップモジュール。

【請求項2】 上段と下段の半導体チップ相互間の電気的接続が、半導体チップの電極同士の接合によってなされたことを特徴とする請求項1記載のマルチチップモジュール。

【請求項3】 半導体チップの電極同士の接合がバンプを介してなされたことを特徴とする請求項2記載のマルチチップモジュール。

【請求項4】 半導体チップ相互間の電気的接続が、バンプ、ボンディングワイヤ、TABテープあるいは半導体チップの背面に形成された接続配線等の電気的接続媒体を介してなされたことを特徴とする請求項1、2または3記載のマルチチップモジュール。

【請求項5】 上段の半導体チップの背面に抵抗あるいはキャパシタが形成されたことを特徴とする請求項1、2、3または4記載のマルチチップモジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はマルチチップモジュールに関する。

【0002】

【従来の技術】 マルチチップモジュールはシリコンあるいはセラミック等の基板上に複数個の半導体チップを高密度で搭載して成るもので、信号伝播における遅延を小さくし、回路内でのキャパシタンスやインダクタンスの影響を抑えて、半導体チップ単体を搭載した半導体装置を用いて構成した場合に対し、システム全体として高速化、高機能化が図れるようにしたものである。

【0003】 図8は従来のマルチチップモジュールの一般的な構成を示す。10はパッケージ、12はベース基板、14は薄膜配線層、16は半導体チップである。半導体チップ16は薄膜配線層14の上に配置され、薄膜配線層14を介して相互の電気的導通が得られる。ベース基板12にはシリコン基板、メタル基板、セラミック基板等が使用される。シリコン基板は表面が鏡面に形成されることから薄膜配線層の形成に有効であり、メタル基板は発熱量の大きな半導体チップの搭載に有効であり、セラミック基板は多層配線の形成が可能で機械的強度が高いといった利点がある。

【0004】

【発明が解決しようとする課題】 マルチチップモジュールは上記のように基板上でベアチップを近接させて配置することにより、高速信号の伝播特性を改善することを

可能にする。しかしながら、図8に示す従来例のように、基板上に複数の半導体チップ16を平面的に配置した場合は、薄膜配線層14等のような接続配線が必須であり、接続配線に起因する信号遅延等が完全に解消するわけではない。

【0005】 なお、シリコン基板やセラミック基板の上に半導体チップを平面的に配置するかわりに、基板上に複数層で半導体結晶層を設ける方法（特開平1-98253号）や、半導体チップに重ねて半導体チップを実装する（特開平1-137662号）といったように、いわば立体的にモジュールを構成することも可能である。しかしながら、このように立体的に構成する場合でも、従来は下層の半導体チップの上に半導体チップをのせて配置するものであり、半導体チップ相互を接続する接続配線長を短縮するといった考え方が特になされているものではない。

【0006】 本発明はこのような従来におけるマルチチップモジュールにおける問題点を解消すべくなされたものであり、半導体チップ間を接続する接続配線長を最小限とし、これによって信号の伝播遅延、伝送損失を著しく減少させ、従来にくらべてさらに高機能なマルチチップモジュールを提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明は上記目的を達成するため次の構成を備える。すなわち、パッケージの半導体チップ搭載面上に、複数個の半導体チップを相互に電気的に接続して複数段に積み重ねて立体構成したマルチチップモジュールであって、上段の半導体チップを下段の少なくとも2つの半導体チップの間に掛け渡して接合したことを特徴とする。また、上段と下段の半導体チップ相互間の電気的接続が、半導体チップの電極同士の接合によってなされたことを特徴とする。また、半導体チップの電極同士の接合がバンプを介してなされたことを特徴とする。また、半導体チップ相互間の電気的接続が、バンプ、ボンディングワイヤ、TABテープあるいは半導体チップの背面に形成された接続配線等の電気的接続媒体を介してなされたことを特徴とする。また、上段の半導体チップの背面に抵抗あるいはキャパシタが形成されたことを特徴とする。

【0008】

【発明の実施の形態】 以下、本発明の好適な実施形態について説明する。図1は本発明に係るマルチチップモジュールの第1の実施形態を示す断面図である。図はマルチチップモジュールの一部を示す。20はアルミナセラミック等によって形成されるマルチチップモジュールのパッケージである。パッケージ20には半導体チップを搭載するキャビティが形成され、キャビティの内底面が半導体チップを搭載する搭載面となる。図示例ではパッケージ20の外面に外部接続端子としてリードピン24を立設している。

【0009】パッケージ20の半導体チップの搭載面は平坦面に形成され、この搭載面に半導体チップ26、28が2段に搭載される。26はパッケージ20の搭載面にダイ付けされる下段の半導体チップ、28は半導体チップ26の上面に接合される上段の半導体チップである。上段の半導体チップ28は図のようにパッケージ20の半導体チップ搭載面上で離間して配置された半導体チップ26の間に掛け渡し、半導体チップ26の電極に半導体チップ28の電極をバンプ27を介してフリップチップ法により接合して支持される。

【0010】このように複数の半導体チップ26間で半導体チップ28を掛け渡して配置することにより、半導体チップ26と半導体チップ28とは中間に接続配線を設けることなく、はんだバンプ、金バンプ等のバンプ27のみで電氣的に接続される。そして、半導体チップ26相互間は半導体チップ28の内部回路を介して電氣的に接続される。このように半導体チップの上に他の半導体チップを掛け渡して配置し、相互に電氣的に接続して接合する方法によれば、パッケージ20に搭載するすべての半導体チップを、半導体チップ同士を接続する接続配線を使用することなく電氣的に導通して搭載することが可能である。

【0011】図示例では半導体チップ28の上面（背面）に抵抗体32とキャパシタ34とそれらと接続する接続配線を作り込んでいる。このように半導体チップに受動素子や能動素子を作り込んで回路構成することもできる。この抵抗体32等は接続配線とボンディングワイヤ36により半導体チップ26に接続される。なお、半導体チップ26同士を電氣的に接続する場合、図1に示すようにボンディングワイヤ36と半導体チップ28背面の接続配線を用いて接続する方法を併用することももちろん可能である。

【0012】半導体チップと外部接続端子との電氣的接続は、本実施形態ではボンディングワイヤ36による接続方法による。外部接続端子のリードピン24とパッケージ20に設けた配線パターン22とが電氣的に接続され、配線パターン22と半導体チップ26とがボンディングワイヤ36によって接続されている。この接続方法はセラミックパッケージに半導体チップを搭載し、ワイヤボンディングによって半導体チップと配線パターンとを接続する方法と同様である。

【0013】図2はマルチチップモジュールの第2の実施形態を示す断面図で、パッケージ20の搭載面上で半導体チップ26と半導体チップ28とを接合する他の構成例を示す。本実施形態は複数の半導体チップ26の間に掛け渡して半導体チップ28を接合するものと、半導体チップ26の間で掛け渡さずに半導体チップ26の上にそのまま半導体チップ28を重ねて接合するものを併用した例である。半導体チップ28を掛け渡さない部分での半導体チップ26同士の接続と、半導体チップ26

とパッケージ20に設けた配線パターン22との電氣的接続はTABテープ38によっている。なお、本実施形態のマルチチップモジュールはキャビティアップタイプでリードピン24は半導体チップの搭載面側とは反対側に立設している。

【0014】図3および図4はマルチチップモジュールの第3および第4の実施形態を示す。この実施形態のマルチチップモジュールは半導体チップを3段構成としたことを特徴とするものである。26は一段目の半導体チップ、28は二段目の半導体チップ、30は三段目の半導体チップである。図3に示す実施形態では三段目の半導体チップ30と一段目の半導体チップ26とは二段目の半導体チップ28の背面に形成された接続配線を介してワイヤボンディング法により接続されている。図4に示す実施形態では三段目の半導体チップ30はバンプ27を介して二段目の半導体チップ28の背面の接続配線にフリップチップ法によって接続され、この接続配線を介して一段目の半導体チップ26に接続されている。

【0015】第3および第4実施形態では、二段目の半導体チップ28は一段目の半導体チップ26の上面に掛け渡して接合され、三段目の半導体チップ30は二段目の半導体チップ28の上にそのまま接合されている。このように、相互に電氣的に接続しながら半導体チップを複数段に積み重ねて立体構成する方法は半導体チップの段数がとくに限定されるものではなく、さらに多段に構成することが可能である。また、図3、4に示す実施形態では三段目の半導体チップ30は半導体チップ28間に掛け渡していないが、三段目においても半導体チップ間に掛け渡して接合することももちろん可能である。また、第3の実施形態の場合、三段目の半導体チップ30と一段目の半導体チップ26を直接ワイヤボンディングしても良い。

【0016】図5はマルチチップモジュールの第5の実施形態を示す。この実施形態のマルチチップモジュールは下段の半導体チップ26に上段の半導体チップ28を掛け渡して積み重ねる際に、ポリイミド等の電氣的絶縁性を有する絶縁体40を接合面に介在させて積み重ねることを特徴とする。絶縁体40を接合面に介在させた場合は前述した実施形態のようにバンプ27を介して下段の半導体チップ26と上段の半導体チップ28とを電氣的に接続することができないから、図のようにボンディングワイヤ36を用いて上段の半導体チップ28と下段の半導体チップ26とを電氣的に接続する。

【0017】本実施形態では、上段の半導体チップ28の接合面にあらかじめ接着性を有するポリイミド等の電氣的絶縁性を有するフィルムを被着しておき、下段の半導体チップ26と位置合わせして上段の半導体チップ28を接着して立体構成することができ、半導体チップの接合操作が容易にできるという利点がある。

【0018】上述した各実施形態のように、上段の半導

10

20

30

40

50

体チップと下段の半導体チップの間で掛け渡すようにして積み重ね、下段と上段の半導体チップを電氣的に接続して複数段に構成することによってマルチチップモジュールとする方法は、半導体チップ間を接続する接続配線を極力短くすることができるという大きな利点がある。

【0019】図6、7は下段の半導体チップ26の上に上段の半導体チップ28を接合する場合の平面配置の例を示す。図6は2つの半導体チップ26の上に一つの半導体チップ28を接合した場合で、半導体チップの接合方法としては最も単純な形式である。図7は4つの半導体チップ26の上に3つの半導体チップ28を掛け渡して配置した例である。このように、半導体チップは設計に応じて適宜配置とすることができる。

【0020】実際に複数段で半導体チップを配置する場合は、半導体チップを接続する接続配線を無くすように設定するのがよい。接続配線をなくして半導体チップを接合できれば、信号配線は半導体チップの内部配線のみとなるから、信号伝播における遅延を最小にすることができる。そして、配線によって生じるキャパシタンスあるいはインダクタンスも最小にすることができ、きわめて高速な半導体チップの搭載に有効に使用することが可能になる。また、マルチチップモジュールの構成上も不要な接続配線がないことからきわめてコンパクトな構成とすることができ、省スペースを図ることが可能になる。

【0021】

【発明の効果】本発明に係るマルチチップモジュールによれば、上述したように、半導体チップ同士を接続する接続配線を最小限度まで短縮できることから、信号伝播での遅延あるいは伝送損失を著しく低下させることを可能とし、きわめて高速な半導体チップの搭載に好適に対

応できるモジュールとして提供することが可能になる。また、きわめてコンパクトに形成でき、単位面積あたりの機能を著しく高めることができる等の著効を奏する。

【図面の簡単な説明】

【図1】本発明に係るマルチチップモジュールの第1の実施形態を示す断面図である。

【図2】本発明に係るマルチチップモジュールの第2の実施形態を示す断面図である。

【図3】本発明に係るマルチチップモジュールの第3の実施形態を示す断面図である。

【図4】本発明に係るマルチチップモジュールの第4の実施形態を示す断面図である。

【図5】本発明に係るマルチチップモジュールの第5の実施形態を示す断面図である。

【図6】半導体チップを接合した状態の平面図である。

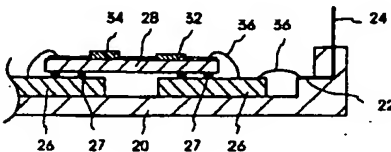
【図7】半導体チップを接合した状態の平面図である。

【図8】マルチチップモジュールの従来例の構成を示す断面図である。

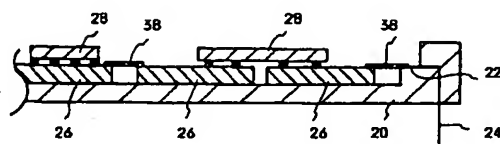
【符号の説明】

- 12 ベース基板
- 14 薄膜配線層
- 16 半導体チップ
- 20 パッケージ
- 22 配線パターン
- 24 リードピン
- 26、28、30 半導体チップ
- 32 抵抗
- 34 キャパシタ
- 36 ボンディングワイヤ
- 38 TABテープ
- 40 絶縁体

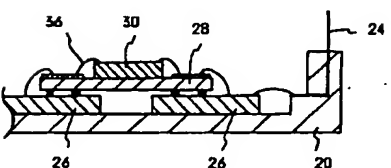
【図1】



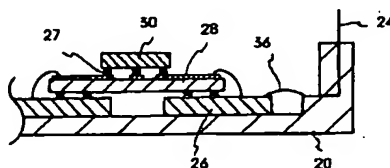
【図2】



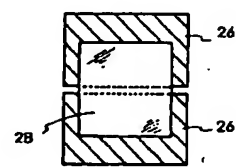
【図3】



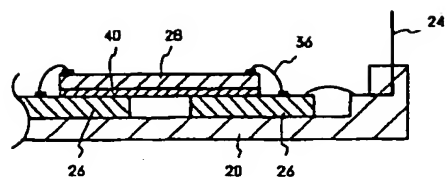
【図4】



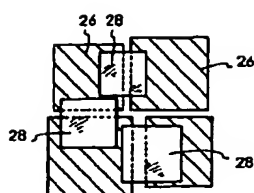
【図6】



【図5】



【図7】



【図8】

